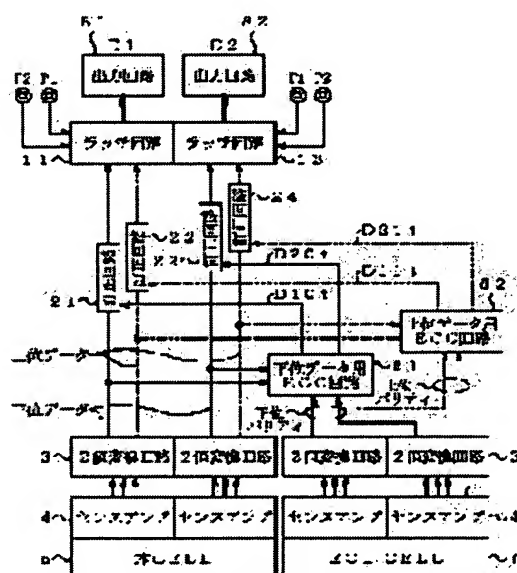


(11)Publication number : 11-250695
(43)Date of publication of application : 17.09.1999

(21)Application number : 10-053523	(71)Applicant : NEC IC MICROCOMPUT SYST LTD
(22)Date of filing : 05.03.1998	(72)Inventor : EGAWA SOTOMI

SOLUTION: Data to be ECC-relieved are divided into lower rank data and upper rank data being the output of a binary converting circuit 3, and relieved by ECC circuits 61 and 62 in the preliminarily decided order of the data input. Thus, the ECC relief can be attained for each lower rank data and upper rank data outputted before the reading of all data, and the relief processing time can be shortened.



[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

출력 일자: 2004/12/20

발송번호 : 9-5-2004-053348171

수신 : 서울 서초구 서초3동 1571-18 청화빌딩 2

발송일자 : 2004. 12. 17

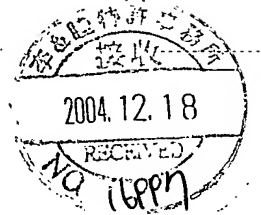
층(리&목특허법률사무소)

제출기일 : 2005.02.17

이영필 귀하

137-874

특허청 의견제출통지서



출원인 명칭 삼성전자주식회사 (출원인코드: 119981042713)

주소 경기도 수원시 영통구 매탄동 416

대리인 성명 이영필

주소 서울 서초구 서초3동 1571-18 청화빌딩 2층(리&목특허법률사무소)

출원번호 10-2003-0029759

발명의 명칭 리던던시 효율을 증가시키는 반도체 메모리 장치

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지 하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서[특허법시행규칙 별지 제 25호의2서식] 또는/및 보정서[특허법시행규칙 별지 제5호서식]를 제출하여 주시기 바랍니다. (상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장 승인통지는 하지 않습니다.)

[이유]

가. 이 출원은 특허청구범위의 기재가 아래에 지적한 바와 같이 불비하여 특허법 제42조제4항제2,3호의 규정에 의한 요건을 충족하지 못하므로 특허를 받을 수 없습니다.

[아래]

1) 청구범위 제 12 항에 기재된 발명은 발명의 구성에 없어서는 안될 필수구성요소가 적절하게 한정되어 있지않고 구성요소 상호간의 연결관계 및 유기적인 작용기재가 불충분하다고 판단됩니다.

나. 이 출원의 특허청구범위 제 1,2,4,11,12,14,18 항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

[아래]

1) 본원은 사용되지 않는 ECC 셀 블록을 리던던시 셀 블록으로 전용함으로써 리던던시 효율을 증가시켜 메모리 칩의 수율을 높일 수 있는 반도체 메모리 장치에 관한 것으로, 다수개의 노말 및 리던던시 셀 블록, ECC 메모리셀들을 포함하는 하나 이상의 ECC 셀 블록을 구비하며 ECC 셀 블록은 소정의 모드 신호에 응답하여 불량 메모리셀을 대체하는데 사용되는 것을 특징으로 하고 있습니다

2) 청구범위 제 1,2,4,11,12,14,18 항에 기재된 발명은 일본 공개특허공보 평11-250695호(1999.9.17)의 ECC 회로의 출력에 의해 오류데이터를 정규 데이터로 정정하는 회로를 포함하는 다차식 반도체 메모리장치 및 불량구제방법에 기재된 기술과 일본 공개특허공보 평14-42488호(2002.2.8)의 메모리셀 어레이의 중앙에 ECC 셀을 배치한 구제회로를 갖는 반도체 기억장치에 기재된 기술과 대비했을때, 일부 구성상의 차이는 있으나 이는 당업자가 상황에 따라서 단순히 채택 또는 설계변경할 수 있는 정도의 기술범주에 해당하는 것으로 판단됩니다.

19160

출력 일자: 2004/12/20

[첨 부]

첨부 1 일본 공개특허공보 평11-250695호(1999.09.17)

첨부2 일본 공개특허공보 평14-042488호(2002.02.08) 1부. 끝.

2004. 12. 17

특허청

전기전자심사국

정보심사담당관실

심사관 김세영



<<안내>>

문의사항이 있으시면 ☎ 042-481-5685 로 문의하시기 바랍니다.

서식 또는 절차에 대하여는 특허고객 콜센터 ☎1544-8080으로 문의하시기 바랍니다.

특허청 직원 모두는 깨끗한 특허행정의 구현을 위하여 최선을 다하고 있습니다. 만일 업무처리과정에서 직원의 부조리행위가 있으면 신고하여 주시기 바랍니다.

▶ 홈페이지(www.kipo.go.kr)내 부조리신고센터

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-250695

(43)公開日 平成11年(1999) 9月17日

(51)Int.Cl.*

G 1 1 C 29/00
11/56

識別記号

6 3 1

F 1

G 1 1 C 29/00
11/56

6 3 1 Z

審査請求 有 請求項の数 6 O L (全 8 頁)

(21)出願番号 特願平10-53523

(22)出願日 平成10年(1998) 3月5日

(71)出願人 000232036

日本電気アイシーマイコンシステム株式会
社
神奈川県川崎市中原区小杉町一丁目403番
53

(72)発明者 江川 外海

神奈川県川崎市中原区小杉町一丁目403番
53 日本電気アイシーマイコンシステム株
式会社内

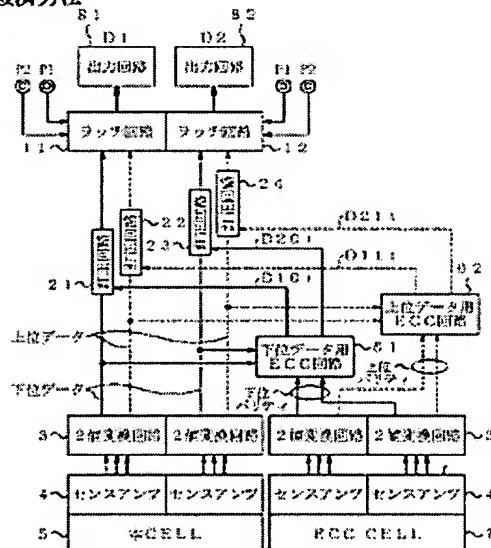
(74)代理人 弁理士 京本 直樹 (外 2 名)

(54)【発明の名称】 多値式半導体メモリ装置およびその不良救済方法

(57)【要約】

【課題】多値式半導体メモリでは、物理的に1メモリセルで不良が発生した場合、1メモリセルから読み出されるデータが複数不良である場合があり、同じデータ数をECC救済する場合、多値でない場合に比べ救済率が下がってしまい、また読出したデータを一度でECC救済する構成となっているため、全てのデータを全て読出した後でないとECC救済出来ず、最後のデータが確定するまでは、ECC救済後のデータを出力出来ず、処理速度が遅い問題があった。

【解決手段】ECC救済をするデータを2値変換回路3の出力である下位データ同士、上位データ同士にまとめ、先に確定したデータ入力順にECC回路61、62で救済することにより、全てのデータを読出す前に出力した下位、上位データ毎にECC救済ができ、その救済処理時間を短縮する。



【特許請求の範囲】

【請求項 1】 1つのメモリセルに記憶した電圧値を複数の基準電圧レベルにより判定して出力データとする複数の記憶手段を持つ多値式メモリと、前記多値式メモリからの出力データを2値データに変換する2値変換回路と、前記2値変換回路から複数のデータを入力し複数のデータ出力しこれら複数の出力データのうち1つの誤りを検出するECC回路と、前記ECC回路の出力により前記誤りデータを正規のデータに訂正する訂正回路とを含む多値式半導体メモリ装置において、前記1メモリセルに書き込まれた複数のデータを上位データ群と下位データ群とに分割し、その下位データ群を最初に読み出す記憶・変換手段と、前記複数の下位データ群および複数の上位データ群ごとに分割して誤り検出および訂正を行う不良救済回路を備えることを特徴とする多値式半導体メモリ装置。

【請求項 2】 前記上位データ群および下位データ群の不良救済回路が、個別に設けられた請求項1記載の多値式半導体メモリ装置。

【請求項 3】 前記上位データ群および下位データ群の不良救済回路が、前記複数の下位データ群および複数の上位データ群ごとに分割して設けられた請求項1記載の多値式半導体メモリ装置。

【請求項 4】 前記2値変換回路が、電圧レベルのデータを電圧順にグレイコードに変換する回路からなる請求項1乃至3記載の多値式半導体メモリ装置。

【請求項 5】 1つのメモリセルに記憶した電圧値を複数の基準電圧レベルにより判定して出力データとする複数の記憶手段を持つ多値式メモリと、前記多値式メモリのデータを2値データに変換する2値変換回路と、前記2値変換回路から複数のデータを入力し複数のデータ出力しこれら複数の出力データのうち1つの誤りを検出するECC回路と、前記ECC回路の出力により前記誤りデータを正規のデータに訂正する訂正回路とを含む多値式半導体メモリ装置の不良救済方法において、前記1メモリセルに書き込まれた複数のデータを上位データ群と下位データ群とに分割し、その下位データ群を最初に読み出し、次に上位データ群を読み出し、これら下位データ群および上位データ群ごとにそのデータ出力順にそれぞれ誤り検出および訂正を行うことを特徴とする多値式半導体メモリ装置の不良救済方法。

【請求項 6】 前記上位データ群および下位データ群をそれぞれ独立させて制御信号により切り換え、前記下位データ群の不良救済を行ったのち、前記上位データ群の不良救済を行い、各々の不良救済回路を共通に使用するようにした請求項5記載の多値式半導体メモリ装置の不良救済方法。

り装置およびその不良救済方法に関する。

【0002】

【従来の技術】生産時の歩留まり向上を計るため、不良ビットの救済としてECC(Error Correcting Code)回路を内蔵する半導体記憶装置が多く提案また採用され、生産において大いに寄与している。また一方、大容量メモリへの要求は高く、1メモリセルに2ビットの情報を書き込み従来のメモリセルの倍の容量を持たせようとする多値方式のメモリ装置も多く提案されている。

【0003】従来の多値式メモリにおける不良ビット救済方式として、ECC回路を用いた一例のブロック図を、図6に示す。この図において、本セル5は多値方式としてデータが書き込まれており、ここでは1メモリセルに2ビットの情報を書き込んでいるものとする。この書き込み方式としては従来からいくつかの方法が開示されており、ここでは、メモリセルの閾値レベルを調整しているものとする。具体的にこの2ビットのデータは1出力ビットに対して2ワード分のデータとし、ラッチ回路1に保持されたデータをページ切替信号pにより選択され、データが出力される。

【0004】一方、ECCセル7においても多値方式としてデータが書き込まれており、このECCセル7に書き込まれるデータは、ハミング方式として良く知られているECC方式に従い、データが書き込まれている。一般に、nビットのデータ長に対して1ビットの誤り検出および訂正をするために必要なパリティビットの数Pは、式(1)にて表される。

【0005】 $2^P \geq (n+1) \dots \dots (1)$

例えば、4ビットの出力データ長のうち1ビットの誤り検出および訂正に要するパリティビットの数は3ビットとなる。

【0006】ここで、図6を参照してこの回路の動作について説明をする。本セル5は2つのセンスアンプ4によりメモリセルに書き込まれた多値レベルを3データ線で読み出し、この3データを2値変換回路3に送り、この2値変換回路3においてそれぞれ2ビットのデータに変換される。今訂正を行うべきビット長は4ビットであり、このためには3ビットのパリティが必要である。そのためECCセル7は、本セル5と同様2つのセンスアンプを持ち、2値変換回路3により4ビットのデータが出力される。この時1出力データは不要データとなる。本セル5の変換データ4ビットとECCセル7の変換データ3ビットとをECC回路6に入力し、誤り検出を行い誤り訂正信号を発生する。誤り訂正信号は、おのおの出力に対応する誤り訂正回路2に入力し、誤りが検出された出力ビットのデータのみを訂正し、全てのデータがラッチ回路1にて保持される。

【0007】次に、この回路に用いられている2値変換回路3、訂正回路2、ECC回路6について、それぞれ

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、多値式半導体メモ

図7、図8、図9により説明する。2値変換回路3の一例として、図7(a)、(b)に4値レベルを2値データ変換する多値レベル/2値データの対応を示す図およびその変換回路の回路図を示す。

【0008】メモリセルの閾値を制御してデータを書き込み、2ビットのデータを書き込む場合、図7(a)のように、基準電圧 V_{t0} 、 V_{t1} 、 V_{t2} 、 V_{t3} に対して、ゲート電圧 $V_{g1} \sim V_{g3}$ が、 $V_{t0} < V_{g1} < V_{t1} < V_{g2} < V_{t2} < V_{g3} < V_{t3}$ なる関係のもと3つのゲート電圧レベル V_g を順次与える。

【0009】まずゲート電圧 V_{g1} が加わった場合、基準電圧 V_{t0} で書き込まれているセルはオン状態となるが、それ以外の閾値で書き込まれているセルは、この段階においてはオフ状態となる。次に、ゲート電圧 V_{g2} なるレベルに変化した場合、基準電圧 V_{t0} 、 V_{t1} で書き込まれているセルはオン状態となるが、それ以外の閾値で書き込まれているセルはオフ状態となる。また、ゲート電圧 V_{g3} のレベルに変化した場合も同様な状態で基準電圧 V_{t3} で書き込まれたセル以外はすべてオン状態となる。ここで図7(a)は、この状態と出力ビットのデータとの対応関係を示しており、センスアンプ4によりメモリセルの多値レベルを3データ線(1~3)で読み出し、2値変換回路3により2ビットの上位、下位データに変換される。すなわち、データ線1~3が全て0のときは上位、下位データが00、データ線1~3が100のときは上位、下位データが01、…データ線1~3が111のときは上位、下位データが11となる。

【0010】この場合の2値変換回路3は、図7(b)のように、インバータ35、NAND回路36~38により構成され、データ2は下位データとなり、データ1、3とデータ2、その反転出力とのNAND36~38をとった論理出力が上位データとなっている。

【0011】また、訂正回路2は、図8の回路図のように、エクスクルシブOR(EOR)20から構成され、このEOR20の一方の入力にECC回路6からの訂正信号D1、2が入力され、他方の入力に2値変換回路3からのデータが入力され、訂正信号D1、2が1の場合に入力データが反転して出力され、訂正信号D1、2が0の場合に入力データがそのまま出力される。

【0012】さらに、ECC回路6は、図9の回路図のように、パリティデータ0~2と、センスアンプ4(0、1)の上位、下位データとのOR論理をとるOR101~103と、これらOR出力とこれら出力をインバータ104~110を介した出力とのNANDをとるNAND111~114と、これらNAND111~114の出力とセンスアンプ4(0、1)の上位、下位データとのORをとるOR115~118とからなり、OR115~118の出力が訂正出力となる。

【0013】以上説明した多値式メモリの動作タイミン

グは、図10の動作波形図に要約される。まず、データが直接出力される下位データ、下位パリティデータが入力され、上位データ、上位パリティデータが2値変換回路3から入力された時点 t_{11} で、訂正信号が出力され(t_{12})、訂正回路2からの訂正出力データが得られ(t_{13})、その出力によりラッチコントロール信号Pが出力され、その終了時点(t_{14})が上位/下位データのラッチタイミングとなる。

【0014】

【発明が解決しようとする課題】上述した多値式メモリにおいては、多値式メモリのデータ変換時のタイミングに問題がある。すなわち、従来例のようにメモリセルの閾値を制御してデータを書き込み、2ビットのデータを書き込む場合、 $V_{t0} < V_{g1} < V_{t1} < V_{g2} < V_{t2} < V_{g3} < V_{t3}$ なる関係のもと3つのレベル V_g を順次与えているが、多値式メモリにおいては上記3状態の変化をセンスアンプ4で検出し、2値変換回路3で2ビットのデータに変換しなければならないため、全てのデータが確定する時点(図10の t_{11})まで外部への出力ができず、またECC回路2による誤り訂正もできない。そのためアクセス時間が遅いという欠点がある。

【0015】また、ECC回路2による不良ビット救済方式を、この多値式メモリに適用した場合、通常のセル方式と比較して救済率が低下するという問題がある。その理由は、通常の1ビット/1セル方式のメモリセルでは、メモリセル1ビットに対し読み出されるデータが“1”か“0”かのいずれか1つであり、不良メモリセルが1つの場合は、仮に1ビットが不良となったとしても、ECC回路により誤り訂正が可能である。これに対し多値式メモリでは、1メモリセルで不良が発生した場合、1メモリセルより読み出されるデータは複数あり、1個のメモリセルが不良の場合でも読み出したデータが複数不良となることがあり、ECC回路2による不良ビット救済ができない場合がある。

【0016】本発明の目的は、これらの問題を解決し、アクセス時間を早くすると共に、ECC回路による不良ビット救済を可能とした多値式半導体メモリ装置およびその不良救済方法を提供することにある。

【0017】

【課題を解決するための手段】本発明の構成は、1つのメモリセルに記憶した電圧値を複数の基準電圧レベルにより判定して出力データとする複数の記憶手段を持つ多値式メモリと、前記多値式メモリからのデータを2値データに変換する2値変換回路と、前記2値変換回路から複数のデータを入力し複数のデータ出力しこれら複数の出力データのうち1つの誤りを検出するECC回路と、前記ECC回路の出力により前記誤りデータを正規のデータに訂正する訂正回路とを含む多値式半導体メモリ装置において、前記1メモリセルに書き込まれた複数のデータを上位データ群と下位データ群とに分割し、その下

位データ群を最初に読み出す記憶・変換手段と、前記複数の下位データ群および複数の上位データ群ごとに分割して誤り検出および訂正を行う不良救済回路を備えることを特徴とする。

【0018】本発明において、前記上位データ群および下位データ群の不良救済回路が、個別に設けられ、また前記上位データ群および下位データ群の不良救済回路が、前記複数の下位データ群および複数の上位データ群ごとに分割して設けられることができ、さらに、前記2値変換回路が、電圧レベルのデータを電圧順にグレイコードに変換する回路からなることができる。

【0019】また、本発明の他の構成は、1つのメモリセルに記憶した電圧値を複数の基準電圧レベルにより判定して出力データとする複数の記憶手段を持つ多値式メモリと、前記多値式メモリのデータを2値データに変換する2値変換回路と、前記2値変換回路から複数のデータを入力し複数のデータ出力しこれら複数の出力データのうち1つの誤り検出するECC回路と、前記ECC回路の出力により前記誤りデータを正規のデータに訂正する訂正回路とを含む多値式半導体メモリ装置の不良救済方法において、前記1メモリセルに書き込まれた複数のデータを上位データ群と下位データ群とに分割し、その下位データ群を最初に読み出し、次に上位データ群を読み出し、これら下位データ群および上位データ群ごとにそのデータ出力順にそれぞれ誤り検出および訂正を行うことを特徴とする。

【0020】さらに、その不良救済方法の構成において、前記上位データ群および下位データ群をそれぞれ独立させて制御信号により切り換え、前記下位データ群の不良救済を行ったのち、前記上位データ群の不良救済を行い、各々の不良救済回路を共通に使用するようにできる。

【0021】

【発明の実施の形態】以下に、図面を参照して本発明の実施形態について説明する。図1は本発明の一実施形態のブロック図であり、図2～図4は従来例と対比して図1を説明する図で、図2(a)(b)は図1の多値レベルを2値データ変換する多値レベル/2値データの対応を示す図およびその2値変換回路3の回路図、図3は図1のECC回路の一例の回路図、図4は図1の動作を説明する動作波形図を示す。本実施形態では、従来例のECC回路6に代わって上位データ用ECC回路61、下位データ用ECC回路62が用いられ、また訂正回路2を訂正回路21～24と、ラッチ回路1をラッチ回路11、12と、出力回路8を出力回路81、82としている。

【0022】本実施形態においては、多値として、図2(a)に示すように、その四つの閾値状態に対して出力データの割付を行っている。ここでは、各閾値に対する出力データの上位・下位データを従来例の図7(a)の

場合と入れ替えている。すなわち、ゲート電圧レベル V_{g1} のとき V_{t0} の閾値を持つメモリセルと $V_{t1} \sim V_{t3}$ の閾値を持つメモリセルとで0、1が判別され、ゲート電圧レベル V_{g2} のとき V_{t0} 、 V_{t1} の閾値を持つメモリセルと V_{t2} 、 V_{t3} の閾値を持つメモリセルとで0、1が判別され、ゲート電圧レベル V_{g3} のとき $V_{t0} \sim V_{t2}$ の閾値を持つメモリセルと V_{t3} の閾値を持つメモリセルとで0、1が判別される。

【0023】従って、ゲート電圧レベル $V_{g1} \sim V_{g2} \sim V_{g3}$ を順次変化させる場合において、ゲート電圧レベルが V_{g2} のとき V_{t0} 、 V_{t1} の閾値を持つメモリセルと V_{t2} 、 V_{t3} の閾値を持つメモリセルとで0と1が判別でき、この出力をそのまま下位データとして適用することができ、 V_{g3} の閾値レベルになる前にデータ出力が可能な状態にすることができる。この実施形態のコードはグレイ(Gray)コードに相当するものである。

【0024】ECC回路61、62におけるパリティビットにおいては、従来各出力ビットの上位・下位データ同士の排他的論理和よりパリティビット、すなわちECCセル7にデータの書き込みを行い、ECC回路6にて誤り検出を行っていたが、本実施形態においては、各出力ビットの上位データ同士の排他的論理和及び、各出力ビットの下位データ同士の排他的論理和結果を1つのECCセル7に書き込むことにより構成される。

【0025】さらに、本実施形態の不良救済方法では、ECC回路を上位・下位データ別に設け救済を行っている点が従来例と基本的に違い、図1では上位データ用ECC回路62と下位データ用ECC回路61とにより、各ECC回路61、62で独立に不良救済出来る構成となっている。

【0026】図2(a)に従って、メモリセルのゲート電圧 V_{g1} がすでに与えられデータ確定の状態から V_{g2} のレベルへ変化した場合、下位のデータが2値変換回路3より出力され、また同様にして、下位パリティも決定される。各々の信号は下位データ用ECC回路61に入力し、誤り訂正信号 $D10t$ 、 $D20t$ を出力とし、各出力ビット $D1$ 、 $D2$ の下位データを訂正するための訂正回路21、23に入力される。ここで仮に $D1$ の下位データに誤りが検出された場合 $D10t$ が選択され、訂正回路21によりこのデータのみが訂正される。

【0027】その後 V_{g2} のレベルが V_{g3} に変化すると、ここで3状態が確定し上位データを確定することができる。同様にして上位パリティも確定し、上位データ用ECC回路により誤り訂正信号 $D11t$ 、 $D21t$ を出力とし、各出力ビット $D1$ 、 $D2$ の上位データを訂正することができる。

【0028】ここで誤り訂正について説明する。例えば、メモリセル5に書き込まれるべき閾値が V_{t1} だとする。これが拡散上の問題から閾値レベルが下がり V_{t0}

0のレベルに下がったとする。メモリセルのゲート電圧がV_{g2}のとき、図2(a)に従えば0が出力され、これが出力データ下位データの値0と一致するため、ECC回路では不良と判別しない。さらにゲート電圧がV_{g3}のレベルに変化し、3状態が確定され0が出力されると、ここでは上位用ECC回路により誤りと判定され、0を1に書き換え正常な出力に訂正することができる。

【0029】また、メモリセルに書き込まれるべき閾値がV_{t3}であるが、メモリセルが何らかの原因で破壊など起こし、リーク状態に至っているような場合、ゲート電圧がV_{g2}のレベルにおいて0が出力判定されるが、下位用ECC回路により誤り判定され、正常な1に訂正を行う。また、V_{g3}のレベルで3状態が確定した場合、同様に0が出力判定されるが、上位用ECC回路により正常な1に訂正を行うことができる。

【0030】本実施形態の2値変換回路3は、図2(b)のように、1個のEOR30により構成でき、データ2は下位データとしてそのまま出力され、データ1、3の排他的論理和出力が上位データとして出力される。また、ECC回路61、62は、図3の回路図のように、パリティデータ0、1と、センスアンプ4(0、1)の上位、下位データとのOR論理をとるOR91、92と、これらOR出力とこれら出力をインバータ93、94を介した出力とのNANDをとるNAND95、96と、これらNAND95、96の出力とセンスアンプ(0、1)の上位、下位データとのORをとるOR97、98とからなり、OR97、98の出力が訂正出力となる。

【0031】本実施形態の動作タイミングは、図4の動作波形図に要約される。まず、入力タイミングt1で、2値変換回路3から下位データ、下位パリティデータが入力され、訂正信号が時点t2で出力されると、時点t3で訂正回路2からの訂正出力データが得られ、その出力により下位データ用ラッチコントロール信号p1が出力され、その終了時点t4が下位データのラッチタイミングとなる。次に、上位データ、上位パリティデータが2値変換回路3から入力された時点t5で、訂正信号が出力され(t6)、訂正回路2からの訂正出力データが得られ(t7)、その出力により上位データ用ラッチコントロール信号p2が出力され、その終了時点(t8)が上位データのラッチタイミングとなる。

【0032】このように本実施形態では、まず下位データ、下位パリティデータがセンスアンプ4を介して2値変換回路3からECC回路61に供給されるが、2値変換回路3がスルーであり、実質的にセンスアンプ4から直接ECC回路61に供給されるので、先にデータが確定している。そのため、この時間を利用して下位データ、下位パリティデータ側を先にECC救済し、その後上位データ、上位パリティデータ側のデータが確定してから、これら上位データ、上位パリティデータのECC

救済を実施している。そのため下位データ、上位データとも読出しが全て終了してからECC救済を行う従来例よりも、先に下位データを出力することが出来る。例えば、ある多値半導体メモリでは200~300nsその読出し時間が短縮されるという改善がなされた。

【0033】図5は本発明の第2の実施形態のブロック図を示す。図1では、従来例の図6の場合よりECC回路規模が大きくなり、そのため上位、下位データの不良データを検出するECC回路6をECC回路63の入力を上位下位切換回路10A、Bで下位データが上位データのみに切換えることにより共用し、訂正回路2で不良と検出されたデータを訂正し、その後データをラッチコントロール信号P1で下位データの訂正回路2の出力をラッチし、上位データはラッチコントロール信号P2でラッチする。

【0034】具体的には、上位下位切換回路10A、Bで選択されたメモリセル5及びパリティ用メモリセル7より読み出された下位データをECC回路63に伝達し、ECC回路63で不良と判断された下位データの入力する訂正回路2にECC回路63から“H”信号が伝えられ、訂正回路2にて訂正させたデータがラッチコントロール信号P1によりラッチ回路1でラッチされる。次に、P2が“L”の間に上位下位切換回路10A、Bで上位データがECC回路63で下位データ同様不良データを検出し訂正回路2で修正する。また、先に確定する下位データをまず訂正し、この下位データを先に出力した後、上位データを訂正し外部出力するようにしている。

【0035】本実施形態の場合には、読出した上位データ、下位データを同じECC回路63で共用して救済することもできるので、ECC回路の規模を最小限におさえることが出来、その回路規模が1メモリセル当たり読出されるデータが増えても変化せず一定となり、同じデータ数の不良救済を行う場合、多値式メモリを採用しない場合のメモリ装置に比べ同等以下のECC回路規模に出来る。

【0036】

【発明の効果】以上説明したように本発明の多値式半導体メモリ装置は、センスアンプより読み出され2値変換回路から出力されたデータを下位データ・上位データに分割し、ECC回路への入力を別々に行うことにより、1メモリセルが破壊などにより不良となっても、ECCによる不良救済が可能とな読出した出力データECC救済率の低下を防ぐことが出来るという効果がある。

【0037】また、メモリセルに書き込まれる状態とそのデータの変換後の期待値との割付を上位データ、下位データに分割しているため、ECC救済処理が先に読出したデータ順にでき、読出し動作を開始してからECC回路で不良救済したデータを出力回路から出力し始めるまでの時間を短縮することが出来る。すなわち、データ

の出力順を、先に読出しデータが確定しECC救済し終わったデータから出力することにより、より早くデータの出力を開始することが出来る。

【0038】さらに、読出した上位データ、下位データを同じECC回路で共用して救済することもできるので、ECC回路規模を最小限におさえることが出来、その回路規模が、1メモリセル当たり読出されるデータが増えても変化せず一定となり、同じデータ数の不良救済を行う場合、多値式メモリを採用しない場合のメモリ装置に比べ同等以下のECC回路規模に出来るという効果がある。

【図面の簡単な説明】

【図1】本発明の第一の実施形態を説明する多値式半導体メモリ装置のブロック図。

【図2】図1の多値レベルを2値データ変換する多値レベル/2値データの対応を示す図およびその2値変換回路3の回路図。

【図3】図1のECC回路6の一例の回路図。

【図4】図1の回路の動作を説明する動作波形図。

【図5】本発明の第二の実施形態を説明する多値式半導体メモリ装置のブロック図。

【図6】従来例の多値式半導体メモリ装置を説明するブロック図。

【図7】図6の多値レベルを2値データ変換する多値レベル/2値データの対応を示す図およびその2値変換回路3の回路図。

【図8】図6の訂正回路2の一例の回路図。

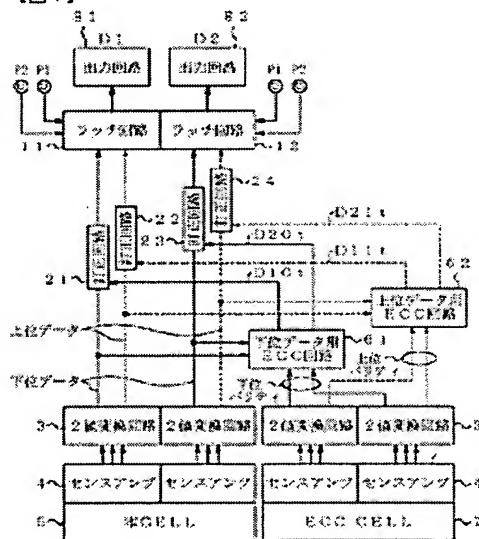
【図9】図6のECC回路6の一例の回路図。

【図10】図6の回路の動作を説明する動作波形図。

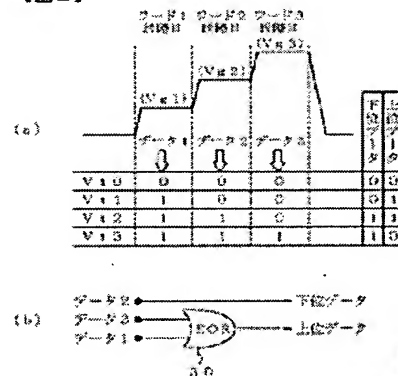
【符号の説明】

- D1、D2 出力信号
- P 上位下位データ共用ラッチコントロール信号
- P1 下位データ用ラッチコントロール信号
- P2 上位データ用ラッチコントロール信号
- 1、11、12 ラッチ回路
- 2、21~24 訂正回路
- 20、30 EX-OR回路
- 3 2値変換回路
- 35、93、94、104~110 インバータ
- 36~38、93、94、104~110、111~114 NAND回路
- 4 センスアンプ
- 5 メモリセル
- 6 ECC回路
- 61 上位データ用ECC回路
- 62 下位データ用ECC回路
- 63 上位下位共用ECC回路
- 7 パリティ用メモリセル(ECC CELL)
- 8、81、82 出力回路
- 91、92、97、98、101~103、115~118 OR回路
- 10A、B 上位下位切替回路

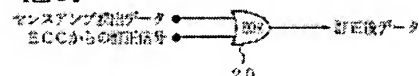
【図1】



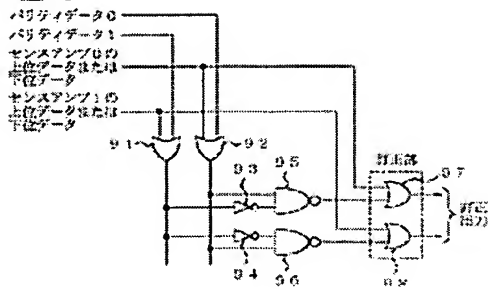
【図2】



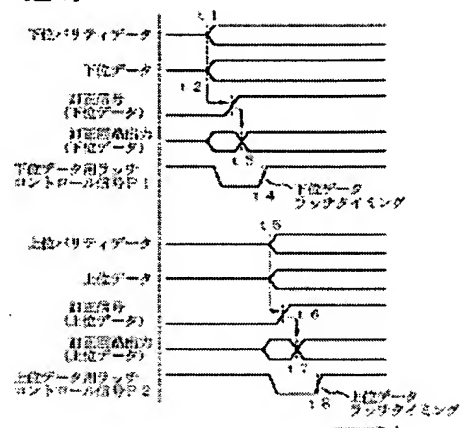
【図8】



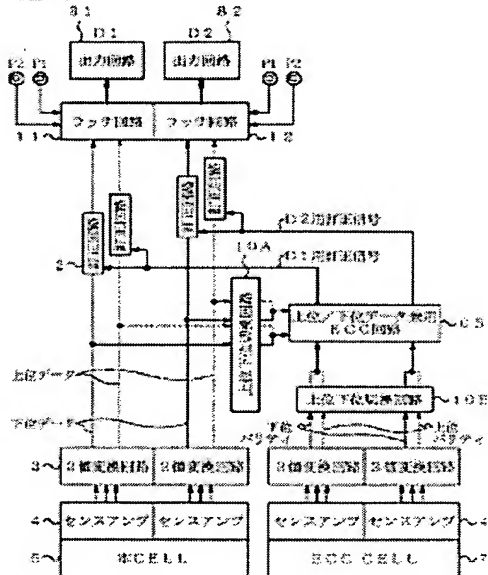
【図3】



【図4】



【図5】



【図6】

